

纳米级低开销 SEU 免疫型 XC Domino 动态门

张金艺^{1,2,3}, 唐 夏¹, 周荣俊¹, 李娟娟², 张秉煜²

(1 上海大学 微电子研究与开发中心, 上海 200072;

2 上海大学 特种光纤与光接入网省部共建教育部重点实验室, 上海 200072;

3 上海大学 教育部新型显示与系统应用重点实验室, 上海 200072)

摘 要: 在纳米级工艺条件下, 高速运算单元核心部件 XC Domino 动态门面临严重的软错误问题. 本文提出一种适用 SEU 类软错误容错设计的免疫型 XC Domino 动态门, 此免疫型动态门借鉴了锁存器单元稳定结构, 对于动态门的输出端实施 P-type 扩散区隔离以完成 SEU 的防护. 通过 Spectre 电路仿真, 验证了 SEU 免疫型动态门能够实现对于高达 2 倍 Vdd 振幅电压脉冲干扰的 SEU 类软错误容错; 另外, 与传统 XC Domino 动态门容错设计方案相比, 免疫型动态门能够降低 13.64% 的门延时, 并能在减少 47.37% 面积开销的同时降低 75.54% 功耗开销.

关键词: 单粒子翻转; 交叉耦合多米诺动态门; 容错设计; 软错误; 低开销

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)02-0069-05

Nano-Scale Cost Effective SEU Immune XC Domino Dynamic Gate

ZHANG Jin-yi^{1,2,3}, TANG Xia¹, ZHOU Rong-jun¹, LI Juan-juan², ZHANG Bing-yu²

(1 Microelectronic Research & Development Center, Shanghai University, Shanghai 200072, China;

2 Key Laboratory of Special Fiber Optics and Optical Access Networks, Ministry of Education, Shanghai University, Shanghai 200072, China; 3 Key Laboratory of Advanced Displays and System Application, Ministry of Education, Shanghai University, Shanghai 200072, China)

Abstract: This paper focuses on researching the SEU fault tolerance of nano-scale Cross Couple Domino dynamic gate which builds essential parts of high performance micro-processor. A novel single event upset immune XC Domino dynamic gate based on stable structure is proposed. Through circuit simulation by Spectre, the novel method can fulfill the SEU fault tolerance over glitches of double Vdd magnitude. Compared with conventional fault tolerant XC Domino dynamic gate, the SEU immune XC Domino dynamic gate obtained apparent advantages consisted of 13.64% reduction in gate delay, 47.37% reduction in silicon area and 75.54% reduction in circuit power.

Key words: single event upset; cross couple domino; fault tolerance; soft error; low overhead

1 引言

对于微处理器或 DSP (Digital Signal Processors) 中的高速运算单元来说, 纳米级工艺带来的最大优势在于电路运行速度的提升. 目前, 此类高速运算单元的核心部件主要是由 XC (Cross Couple)

Domino 动态门构成^[1], 而选择 XC Domino 动态门来代替传统静态门正是因为其显著的门延时优势. 不幸的是纳米级工艺在带来高性能的同时, 也使得电路中的 MOS 器件变得越来越“体弱”^[2]. 地表环境中高能粒子引发的单粒子注入效应已经足以使得 MOS 器件发生软错误; 况且 XC Domino 动态门结

收稿日期: 2012-05-19; 修回日期: 2012-06-25

基金项目: 上海市科委国际合作项目基金(08700741000); 上海市教委重点学科建设基金(J50104)

构本来对软错误又比较敏感,此动态门的 SEU(Single Event Upset)失效率将达到难以接受程度^[3]. 所以,对于 XC Domino 动态门的 SEU 类软错误容错设计研究显得尤为重要.

近年来对于 SEU 类软错误容错设计的研究主要有:Montpellier 大学 Tran D. A. 提出一种混合冗余电路结构^[4],能够同时对电路输入端以及组合逻辑部分提供冗余保护. Portela-García 大学 Garbayo 使用时间延迟单元来进行错误探测,并借助冗余结构进行数据备份完成 SEU 容错^[5]. Illinois 大学 Kim 提出 Voter 改进算法,凭借 Bayesian 探测算法实现高效 SEU 容错^[6]. 上述容错方案都是基于电路级的冗余备份,其面积开销都在 100% 以上. RICE 大学 Zhou 和 Mohanram 提出 Sizing 容错方案,通过调整器件尺寸增大节点电容来达到 SEU 容错^[7]. Northeastern 大学 Kumar 提出 C Pass 容错方案,在输出端增加 C Pass 传输管来达到软错误容错^[8]. 以上两个方案都是通过改变动态门结构的方式来实现其 SEU 容错,其面积开销也要达到 40% 以上.

本文提出一种 SEU 免疫型 XC Domino 动态门,其借鉴了锁存器单元的稳态结构,对动态门的输出端进行 P-type 扩散区隔离以完成 SEU 容错.

2 XC Domino 软错误失效分析

SEU 免疫型 XC Domino 动态门的 SEU 容错设计理念来源于静态门与 XC Domino 动态门对于单粒子注入的不同响应结果. 静态门指稳定状态下,输出无论在高电平或在低电平时总是由低阻通道驱动. 相对而言,动态门的输出电平通过节点电容保存,可能需要处于高阻态的节点来保存信号.

单粒子注入对静态门会产生与 XC Domino 动态门不同类别的软错误. 在静态门中进行单粒子注入会在其输出端产生一个电压脉冲,并且有着固定的持续时间. 该脉冲干扰穿过静态门组合逻辑路径时,还能够保持瞬态形式,即产生 SET(Single Event Transient)类软错误.

当单粒子注入影响到 XC Domino 动态门时,会在其输出端产生比 SET 的危害程度严重得多的 SEU. XC Domino 两输入与非门的电路结构如图 1 所示. 可以凭借对其进行单粒子注入故障仿真来分析 SEU 的形成. 图 2(a)为 XC Domino 与非门电路的正常输出波形,其对应输入激励信号 I1 和 I2 为占空比为 1:1 的矩形波. 正常工作时,输出端在 CLK 为低电平时进行预充电,在 CLK 为高电平的估值阶段完成逻辑运算. 但是,

当在敏感节点 A 注入负向电压脉冲干扰时,由于在评估阶段 A 节点无法恢复到高电平,使得 A 节点形成一个 1→0 电平翻转;进而造成输出端 Y 发生 0→1 电平翻转;同时输出端 Y' 发生 1→0 电平翻转,对应的波形如图 2(b)所示. 可见,单粒子注入对于 XC Domino 动态门会造成 SEU 类软错误.

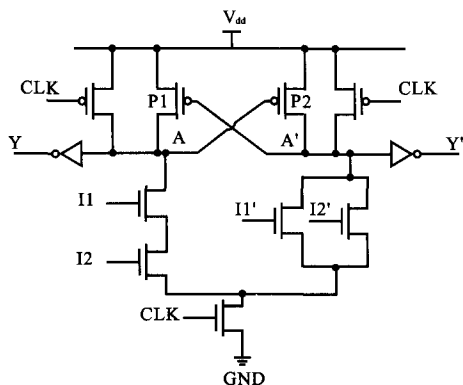
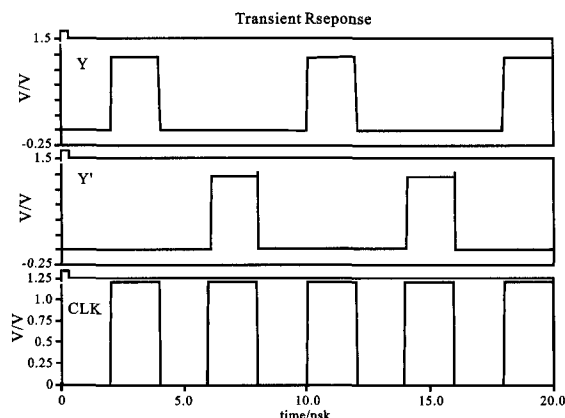
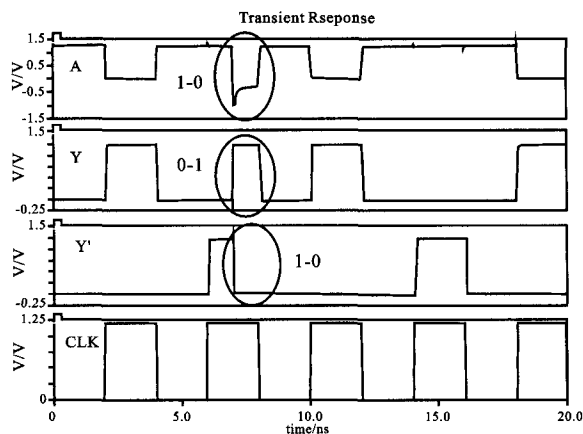


图 1 XC Domino 两输入与非门电路



(a) XC Domino 与非门正常输出波形



(b) XC Domino 与非门 SEU 输出波形

图 2 XC Domino 输出波形图

基于故障仿真可知,动态门会产生与锁存器单元相同的 SEU 类软错误. SEU 加固型锁存器单元中存在一种稳定结构^[9],其主要功能是对存储节点

电平进行 SEU 防护. 其中, 保护“1”电平的稳定结构如图 3 所示. 由 PMOS 管 P1、P2、P3、P4 在 Q 和 Q' 节点组成 P-type 扩散隔离区. 由于 PMOS 管衬底连接高电平, 所以 Q 与 Q' 节点只能产生 0-1 的电平误翻转. 假设保存“0”电平的节点 Q 发生此误翻转, 而 0-1 电平误翻转是无法通过 P2 管传播的, 即节点 Q' 的“1”电平不会受到 Q 节点电平误翻转的影响, 反之也如此. 由此可见, 该稳定结构可实现对于 Q 与 Q' 节点“1”电平的保护.

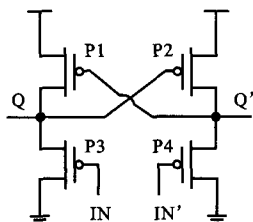


图3 保护“1”电平的稳定结构

由于估值阶段输出“1”电平是 XC Domino 动态门对于 SEU 软错误最敏感的时期^[8], 为此, 本文借鉴了锁存器单元中保护“1”电平的稳定结构, 构建一种新颖的 SEU 免疫型 XC Domino 动态门结构.

3 SEU 免疫型 XC Domino 动态门

3.1 免疫型动态门 SEU 容错设计

针对 XC Domino 动态门的 SEU 最敏感时期, 采取了以下动态门 SEU 容错设计步骤. 首先, 在 XC Domino 动态门输出端增加保护“1”电平的改进型稳定结构, 来实现对于输出端 Y 与 Y' 的高电平保护; 再通过调整 P1、P6 的宽长比 W/L 来解决新增敏感节点 A 与 A' 的 SEU 问题.

SEU 免疫型 XC Domino 动态门结构如图 4 所示. PMOS 管 P3、P4、P7、P8 与 NMOS 管 N1、N2 组成一个保护“1”电平的改进型稳定结构. 此改进型稳定结构与图 3 所示稳定结构区别在于其输入管由 N1、N2 组成, 同时使用 P3、P4、P7、P8 形成隔离输出端 Y 与 Y' 的 P-type 有源区. 改进型稳定结构的优势在于其输入管由 NMOS 组成, 这样可以完成增大输出摆幅同时减小动态门功耗.

改进型稳定结构也引入新的问题, 使得动态门增加 A 与 A' 这对敏感节点. 免疫型动态门通过减小 P1 和 P6 管的宽长比(W/L), 即降低其驱动能力来解决这个问题. 节点 A 发生 1-0 的电平误翻转时, 此误翻转无法通过 N1 管但会误开启 P1 管; 由于 P1 管设定为低驱动能力, 节点 A' 的电位由下拉管 N6、N7 决定不会发生误翻转. 反之, 节点 A 发生

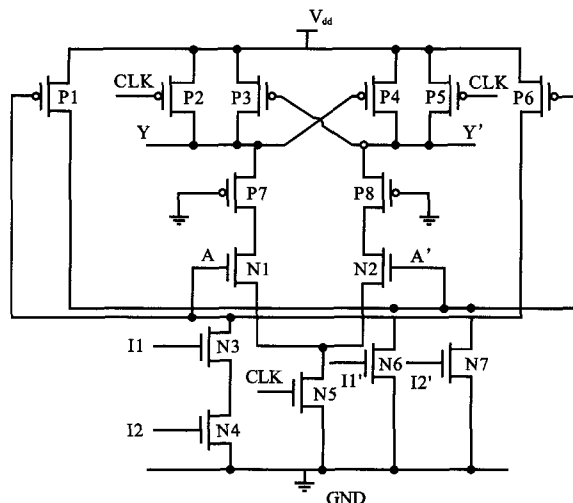


图4 SEU 免疫型 XC Domino 动态门电路图

0-1 的电平误翻转时, 此误翻转不能开启 P1 管但会通过 N1 管影响到输出端 Y; 考虑到 Y' 端通过低阻通道与“0”电平连接, 所以强“0”驱动 Y' 端可以钳制 Y 端而不会产生 SEU. 以上讨论情形对节点 A' 一样适用.

综上所述, SEU 免疫型 XC Domino 动态门存在两对 SEU 敏感节点 Y、Y' 与 A、A'; 通过增加保护“1”电平改进型稳定结构与调整 P1 和 P6 管 W/L 的方式全面地解决该动态门的 SEU 类软错误.

3.2 免疫型动态门低开销设计

SEU 免疫型 XC Domino 动态门主要通过省略原始动态门中静态反相器方式来降低电路开销. XC Domino 动态门输出端需要静态反相器驱动, 其不仅能增加输出端的驱动能力, 更重要的是解决动态门的竞争问题. 在 CLK 上升沿, 预充电到“1”电平的输出端 Y 与 Y' 将误开启下级门的下拉网络, 可能导致其输出发生竞争问题. 改进型稳定结构输入管 N1 与 N2 可以解决该问题; 此时, NMOS 管 N1 和 N2 隔离下拉网络和输出端的直接联系, 所以下拉网络的误“0”电平不会影响到输出端. 据此, SEU 免疫型动态门可以省略原始动态门的一对静态反相器, 来达到减小门延时效果. 同时, 由于静态反相器由一对 N 管与 P 管组成, 进而 SEU 免疫型动态门可以节省两个 P 管达到减少面积开销的目的.

$$t_{pd} = \frac{t_{phl} + t_{plh}}{2} \quad (1)$$

$$p = \frac{\int i V_{dd} dt}{T} \quad (2)$$

为进一步减少 SEU 免疫型 XC Domino 动态门的电路开销, 在其设计过程中必须合理调节 MOS 管

的宽长比 W/L . 动态门电路开销的主要是指其门延时、面积和功耗. 计算门延时将记入输出的下降延时和上升延时, 如公式(1)所示: t_{pd} 表示门延时; t_{phl} 表示门的下降延时; t_{plh} 表示门的上升延时. 面积开销将统计动态门中 MOS 管的总面积, 并换算等价最小宽长 MOS 管数来进行比较. 在仿真的时间范围内使用平均功率公式(2)来描述动态门的功耗, T 表示仿真的时间长度, i 表示瞬态电流值, V_{dd} 为电源电压值.

兼顾 SEU 免疫型动态门容错设计和节省电路开销要求, 其 MOS 器件 W/L 设置如表 1 所示. 为了节点 A 与 A' 的 SEU 容错考虑将 P1、P6 管设置为弱驱动能力, 其 W/L 设定为 2 倍最小宽长比; 同时, 出于面积开销考虑将隔离 N-type 有源区 P7、P8 管的 W/L 设定为 2 倍最小宽长比; 最后, 由于 P3、P4 会影响动态门的下拉延时, 驱动能力不能太强设定其 W/L 为 3 倍最小宽长比.

表 1 SEU 免疫型 XC Domino 动态门器件 W/L 设置

器件	W/L
P1、P6—P8	$2 * 120\text{nm}/100\text{nm}$
P2、P5	$4 * 120\text{nm}/100\text{nm}$
P3、P4	$3 * 120\text{nm}/100\text{nm}$
所有 N 管	$2 * 120\text{nm}/100\text{nm}$

4 仿真结果与分析

4.1 Spectre 仿真环境建立

为验证 SEU 免疫型 XC Domino 动态门的 SEU 软错误容错能力, 将对其进行单粒子注入电路级仿真验证. 同时, 通过与 Sizing^[7] 和 C Pass^[8] 方案仿真数据的比较, 来分析上述动态门容错方案在电路开销方面的优劣.

本文通过 Cadence 公司 IC61 Virtuoso 软件进行电路构建, 并通过 Spectre 进行电路级仿真. 采用 IBM90 纳米低功耗工艺库, 电源电压 V_{dd} 为 1.2V. 该工艺允许的器件最小宽长比 W/L 为 $120\text{nm}/100\text{nm}$.

$$I_{inj} = I_0(e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}}) \quad (3)$$

$$I_0 = Q/(\tau_1 - \tau_2) \quad (4)$$

在仿真过程中, 使用双指数电流源模型来模拟单粒子注入效应^[8], 其中注入电流 I_{inj} 如式(3)所示. 在模拟 0—1 电压脉冲时, 将双指数电流源负向端连接敏感节点, 而正向端与电源电压 V_{dd} 相连; 反之, 将其正向端连接敏感节点而负向端与零电平相连, 来模拟 1—0 电压脉冲. 式(3)中 I_0 代表的是电流脉冲最大值, τ_1 代表结的收集时间常数, τ_2 代表了电荷轨道建立时间. 仿真中使用产生 Worst 状态电流脉

冲的电流源参数, 分别设定为 $Q = 4\text{fc}$ 和 $\tau_2 = 5\text{ps}$, $\tau_1 = 10\text{ps}$ ^[10]. 瞬态脉冲电流 I_0 可根据式(4)计算, 其极值可达到 8mA. 仿真结果显示, 在脉冲电流注入的敏感节点可产生 2V 以上的电压脉冲, 相当于两倍的电源电压 V_{dd} . 本文依据输出电压波形是否形成 SEU, 来判断免疫性动态门的 SEU 容错能力.

4.2 SEU 软错误容错验证

SEU 免疫型 XC Domino 动态门存在两对软错误敏感节点, 分别为输出端 Y 和 Y' 与 N1、N2 管的输入端 A 和 A'. 在仿真过程中会分别对两敏感节点进行软错误注入, 并观察输出端的电压波形变化. 由于, XC Domino 动态门在 CLK 为高电平的估值阶段最易产生 SEU 软错误, 所以软错误的注入都是选择在 CLK 为高的时期.

由于保护“1”电平改进型稳定结构的存在, 所以输出端 Y 不会产生 1—0 电压脉冲. 由此, 输出端 Y 注入了 0—1 电压脉冲如图 5 所示. 而此脉冲是无法通过 PMOS 管传播, 输出端 Y' 不会受到其影响; Y' 端的仿真电压波形也验证上述结论, 除了电容耦合产生的毛刺外, 未形成图 2(b)中 Y' 端的 1—0 电平误翻转. 同时, 输出端 Y 由“0”电平低阻通道驱动, 能够快速恢复到“0”电平也并未产生图 2. b 中 Y 端的 0—1 电平误翻转. 可见注入 Y 端的 0—1 电压脉冲不会造成输出端 Y 与 Y' 的 SEU. 对于注入 Y' 端的软错误来说, 情况也是如此.

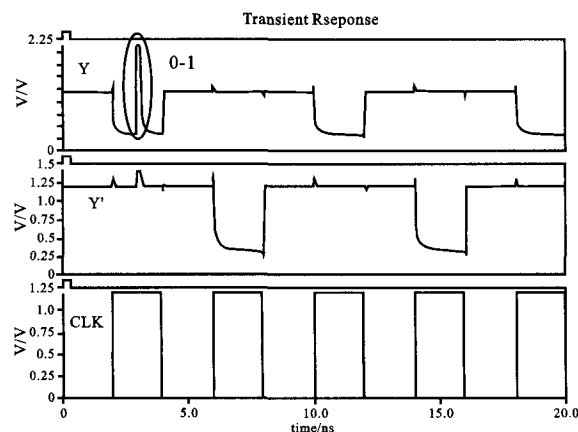
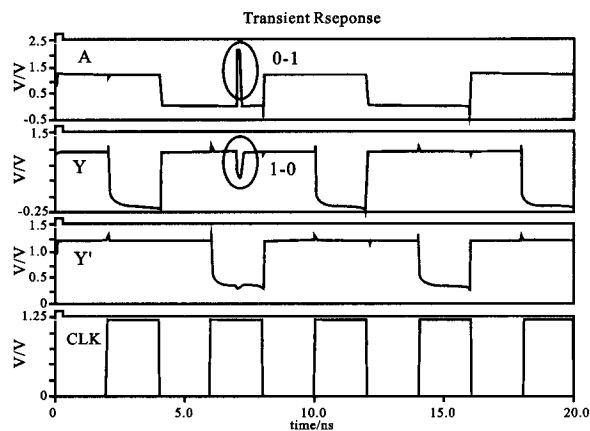
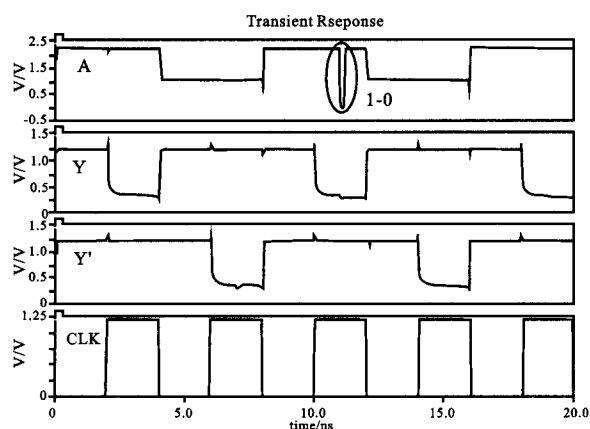


图 5 Y 端软错误注入输出波形

敏感节点 A 是 N1 管的输入端, 先对 A 节点注入 0—1 电压脉冲. 由于低阻通道驱动输出端 Y' 钳制 Y 端的电平, 所以该输出端不会产生 1—0 电压误翻转. 如图 6(a)所示, 0—1 电压脉冲仅造成 Y 端的一个 1—0 弱电压脉冲而未形成电压误翻转. 反之, 在 A 节点注入 1—0 电压脉冲, 低驱动能力 P1 管能够保证输出端 Y' 不受其影响. 如图 6(b)给出



(a) A 节点软错误 0-1 注入输出波形



(b) A 节点软错误 1-0 注入输出波形

图 6 A 节点软错误输出波形

的电压波形所示,输出电压波形表明输出端 Y 和 Y' 很好免疫了该电压脉冲.对于注入 A' 节点的软错误来说,情况也是如此.

根据 Spectre 电路仿真结果,免疫型 XC Domino 动态门可以实现敏感节点 Y、Y' 与 A、A' 全面的 SEU 软错误容错.

4.3 动态门容错方案电路开销分析

相对于电路级冗余备份 SEU 容错方案来说,改造动态门结构容错方案的电路开销要小得多. SEU 免疫型 XC Domino 动态门就是通过改变动态门结构来进行 SEU 容错.近年来,改造动态门结构 SEU 容错方案并不多,因此 Sizing^[7] 和 C Pass^[8] 容错方案还是具有很高的比较价值.所以,本文提出的动态门容错方案将与 Sizing 和 C Pass 方案进行电路开销的比较.表 2 给出了 Spectre 仿真结果.由于 SEU 免疫型 Domino XC 省略了输出端的静态反相器,使其比原始动态门表现出更佳的门延时和面积开销.相比于 Sizing 2X 的 186.41% 和 C Pass 的 243.48% 功耗开销来说,免疫型动态门的功耗开销还是最小的.

通过仿真结果可知,本文提出 SEU 免疫型 XC Domino 动态门能够实现对于 2 倍 V_{dd} 振幅电压脉冲干扰的 SEU 类软错误容错.另外,相比 Sizing 2X^[7] 与 C Pass^[8] 方案其降低了 13.64% 的门延时,并且在减少 47.37% 的面积开销同时,降低了 75.54% 功耗开销.

表 2 XC Domino 动态门 SEU 软错误容错设计方案电路开销比较

容错方案	上升延时	下降延时	总延时	面积	功耗	容错方案开销/%		
	/ps	/ps	/ps	/120/100nm	/μm	延时	面积	功耗
XC Domino	48	40	44	38	1.84	100.00	100.00	100.00
Sizing 2X ^[7]	60	33	47	76	3.43	106.82	200.00	186.41
C PASS(1X, 2 * 0.25X) ^[8]	84	53	69	54	4.48	156.82	142.11	243.48
SEU 免疫型 XC Domino	16	65	41	36	2.04	93.18	94.74	110.87

5 结束语

本文提出一种 SEU 免疫型 XC Domino 动态门,此免疫型动态门主要通过借鉴了锁存器单元稳定结构来保护输出“1”电平的方式解决动态门 SEU 类软错误.另外,与传统 XC Domino 动态门容错设计方案相比,免疫型动态门能够降低 13.64% 的门延时,并能在减少 47.37% 面积开销的同时降低 75.54% 功耗开销.

参考文献:

- [1] Cornelius C, Grassert F, Köppe S, et al. Deep submicron technology: opportunity or dead end for dynamic

circuit techniques [C] // VLSI Design. India: Bangalore, 2007:330—338.

- [2] Naffziger S D, Colon-Bonet G, Fischer T, et al. The implementation of the itanium 2 microprocessor [J]. IEEE Journal Of Solid-State Circuits, 2002, 37(11): 1448—1460.
- [3] Munteanu D, Autran J L. Modeling and simulation of single-event effects in digital devices and ics [J]. IEEE Transactions NS, 2008, 55(4):1854—1878.
- [4] Tran D A, Virazel A, Bosio A, et al. A hybrid fault tolerant architecture for robustness improvement of digital circuits [C] // Test Symposium (ATS). India: New Delhi, 2011:136—141.

(下转第 77 页)

从表4可以看出,本文提出的算法得到的聚类结果优于传统K-means算法。

4 结束语

本文提出了一种挖掘信息的增强型社区网页聚类算法。采用多种距离度量方法,挖掘网页之间的链接关系,将社区网页的内容信息相似度和链接关系结合起来进行聚类,可以提高社区网页聚类的效果。针对参数 k 和阈值 λ 对聚类效果的影响,本文专门进行了实验和分析。实验结果证明了本文提出的算法是有效的。

下一步继续研究该聚类算法的聚类速度,还将研究各参数因子对聚类算法的影响程度,寻找最优的参数组合,进一步提高聚类的效果。

参考文献:

- [1] 刘凯鹏,方滨兴. 基于社会性标注的本地学习方法[J]. 计算机学报,2010,36(10):34-40.
- [2] 李睿,曾俊瑞,周四望. 基于局部标签树匹配的改进网页聚类算法[J]. 计算机应用,2010,30(3):818-820.
- [3] 谢艳玲,何丕廉,于鹏,等. 一种高效的网页聚类方法[J]. 计算机工程与设计,2007,28(17):78-81.
- [4] 刘云峰. 基于标签路径聚类的文本信息抽取算法[J]. 计算机工程,2010,36(12):92-96.
- [5] Zhang X, Hu X, Zhou X. A comparative evaluation of different link types on enhancing document clustering[C]//The 31st Annual International ACM SIGIR Conference on Research & Development on Information Retrieval. Singapore: ACM, 2008:135-139.
- [6] Dou Z, Song R, Wen J R. A large-scale evaluation and analysis of personalized search strategies[C]//The 16th international conference on World Wide Web. Banff, Alberta, Canada, 2007: 112-114.
- [7] Qiu F, Cho J. Automatic identification of user interest for personalized search[C]//The 15th international conference on World Wide Web. Edinburgh, Scotland: ACM, 2006: 256-259.
- [8] Chirita P A, Firan C S, Nejdl W. Personalized query expansion for the web[C]//The 30th annual international ACM SIGIR conference on Research and development in information retrieval. Amsterdam, The Netherlands, ACM, 2007:326-329.

作者简介:

贺秋芳 女,(1977-),硕士,讲师.研究方向为计算机应用、人工智能、嵌入式系统及物联网。

曾启杰 男,(1977-),博士研究生,讲师.研究方向为网络控制技术、智能系统、网络信息自动化。

蔡延光 男,(1964-),教授,博士生导师.研究方向为组合优化、人工智能、决策支持系统、智能交通。

(上接第73页)

- [5] Garbayo J M A, Valderas M G, Garcia M P, et al. A recovery mechanism for SET protection using standard-cells[C]//Radiation and Its Effects on Components and Systems (RADECS), Spain: Sevilla, 2011: 128-131.
- [6] Kim E P, Shanbhag N R. Soft N-modular redundancy[J]. IEEE Transactions Computers, 2012, 61(3): 323-336.
- [7] Zhou Q, Mohanram K. Cost-effective radiation hardening technique for combinational logic[C]//Proc. Int'l Conf. on Computer-Aided Design. USA: San Jose, 2004:100-106.
- [8] Kumar J, Tahoori M B. A low power soft error suppression technique for dynamic logic[C]//Defect and Fault Tolerance in VLSI Systems. USA: Monterey, 2005:454-462.
- [9] 刘必慰,陈书明,梁斌. 一种新型的低功耗 SEU 加固存储单元[J]. 半导体学报,2007,28(5):755-758.
- [10] Garg R h, Jayakumar N, Khatri S P, et al. A design approach for radiation-hard digital electronics[C]//Design Automation Conference. USA: San Francisco, 2006:773-778.

作者简介:

张金艺 男,(1965-),教授,博士生导师.研究方向 SOC DFT 与故障容错设计、无线通信类 ASIC 设计。

唐夏 男,(1982-),硕士研究生.研究方向纳米级工艺下故障容错设计。